

대한민국특허청(KR)
공개특허공보(A)

Int. Cl.⁸
H 01 L 31/256

제 1383 호

공개일자 1994. 11. 19

공개번호 94-25052

출원일자 1994. 4. 27

출원번호 94- 9055

우선권주장

1993. 4. 28
1993. 5. 31
1993. 7. 28
1993. 9. 21
1993. 9. 21
1993. 10. 8
1994. 1. 28
1994. 1. 28

93-124890
93-129313
93-207274
93-234684
93-234685
93-253171
94-008726
94-008727

일본(JP)

심사청구: 있음

발명자

나카무라 슈이치

일본국 도쿠시마경 아난시 가미나카초 오카 491번지 100 니치아 가가꾸 고오교오 가
부시기가이샤 내

야마다 다카오

일본국 도쿠시마경 아난시 가미나카초 오카 491번지 100 니치아 가가꾸 고오교오 가
부시기가이샤 내

세노오 마사유키

일본국 도쿠시마경 아난시 가미나카초 오카 491번지 100 니치아 가가꾸 고오교오 가
부시기가이샤 내

야마다 오토가즈

일본국 도쿠시마경 아난시 가미나카초 오카 491번지 100 니치아 가가꾸 고오교오 가
부시기가이샤 내

반도오 간지

일본국 도쿠시마경 아난시 가미나카초 오카 491번지 100 니치아 가가꾸 고오교오 가
부시기가이샤 내

출원인

니치아 가가꾸 고오교오 가부시기가이샤 대표자 오가와 에이지

일본국 도쿠시마경 아난시 가미나카초 오카 491번지 100

대리인 변리사

김 병 진

(전 6면)

음(ohmic) 전극을 가지는 질화칼륨계 III-V족 화합물 반도체 디바이스 및
그 제조방법

요약

질화칼륨계 III-V족 화합물 반도체 디바이스는, 기판위에 형성된 질화칼륨계 III-V족 화합물 반도체층, 및 상기 반도체층에 접하여 형성된 음전극을 가진다. 음전극은 금속재료를 포함하며, 어닐링처리되어 있다.

특허청구의 범위

1. 제1 및 제2주면(主面)을 가지는 기판, 상기 기판의 제1주면위에 형성되며, n형 질화칼륨계 III-V족 화합물 반도체층 및 p형 질화칼륨계 III-V족 화합물 반도체층을 포함하는 반도체 적층구조, 상기 n형 반도체층에 접하여 형성된 제1전극, 및 상기 p형 반도체층에 접하여 형성되며, 금속재료를 포함하는 투광성의 제2전극을 구비한 질화칼륨계 III-V족 화합물 반도체 디바이스.
2. 제1항에 있어서, 상기 디바이스에서 발생하는 광이 상기 기판의 제1주면측에서 관찰되는 질화칼륨계 III-V족 화합물 반도체 디바이스.
3. 제1항에 있어서, 상기 제2전극이 금, 니켈, 백금, 알루미늄, 주석, 인듐, 크롬 및 티탄으로 된 군 중에서 선택되는 적어도 1종의 금속을 포함하는 금속재료로 형성되는 질화칼륨계 III-V족 화합물 반도체 디바이스.
4. 제1항에 있어서, 상기 제2전극이 크롬, 니켈, 금, 티탄 및 백금으로 된 군 중에서 선택되는 적어도 2종의 금속을 포함하는 금속재료로 형성되어 있는 질화칼륨계 III-V족 화합물 반도체 디바이스.
5. 제1항에 있어서, 상기 제2전극이 금 및 니켈로 된 금속재료로 형성되어 있는 질화칼륨계 III-V족 화합물 반도체 디바이스.
6. 제5항에 있어서, 상기 제2전극이 상기 p형 반도체층과 접하여 형성된 니켈의 층과 그 위에 형성된 금의 층으로 된 질화칼륨계 III-V족 화합물 반도체 디바이스.
7. 제1항에 있어서, 상기 제2전극이 $0.001\mu\text{m} \sim 1\mu\text{m}$ 의 두께를 가지는 질화칼륨계 III-V족 화합물 반도체 디바이스.
8. 제1항에 있어서, 상기 제2전극이 400°C 이상에서의 어닐링처리되는 질화칼륨계 III-V족 화합물 반도체 디바이스.
9. 제1항에 있어서, 상기 디바이스를 상기 기판의 제2주면으로 지지하는 리드프레임을 더 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스.
10. 제1항에 있어서, 상기 제2전극과 전기적으로 접속된, 본딩 와이어와의 본딩을 위한 본딩패드물 더 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스.
11. 제10항에 있어서, 상기 본딩패드가 금 단독 또는 금을 포함하여 알루미늄 또는 크롬을 포함하지 않는 적어도 2종이상의 금속으로 된 금속재료로 형성되어 있는 질화칼륨계 III-V족 화합물 반도체 디바이스.
12. 제10항에 있어서, 상기 본딩패드가 금과, 티탄, 니켈, 인듐 및 백금으로 된 적어도 1종의 금속을 포함하는 금속재료로 형성되어 있는 질화칼륨계 III-V족 화합물 반도체 디바이스.
13. 제10항에 있어서, 상기 본딩패드가 상기 제2전극과 동일재료로 형성되어 있는 질화칼륨계 III-V족 화합물 반도체 디바이스.
14. 제10항에 있어서, 상기 본딩패드가 상기 제2전극과 직접 접하는 니켈의 층과 그 위에 형성된 금의 층으로 되는 질화칼륨계 III-V족 화합물 반도체 디바이스.

15. 제10항에 있어서, 상기 제2전극이 상기 p형 반도체층의 표면을 부분적으로 노출시키는 절결부를 가지며, 상기 절결부에 상기 본딩패드가 증진되어 있는 질화칼륨계 III-V족 화합물 반도체 디바이스.
16. 제15항에 있어서, 상기 본딩패드가 상기 제2전극보다도 강하게 상기 p형 반도체층과 접착하는 금속 재료로 형성되어 있는 질화칼륨계 III-V족 화합물 반도체 디바이스.
17. 제16항에 있어서, 상기 본딩패드가 알루미늄 단독 또는 크롬, 알루미늄 및 금으로 된 군 중에서 선택되는 적어도 2종의 금속으로 된 금속재료로 형성되어 있는 질화칼륨계 III-V족 화합물 반도체 디바이스.
18. 제10항에 있어서, 상기 본딩패드가 상기 제1전극으로부터 가장 먼 위치에 배치되어 있는 질화칼륨계 III-V족 화합물 반도체 디바이스.
19. 제1항에 있어서, 제2전극을 덮는, 투명하고 절연성이 있는 재료로 형성된 보호막을 더 가지는 질화칼륨계 III-V족 화합물 반도체 디바이스.
20. 제19항에 있어서, 상기 보호막이 산화규소, 산화알루미늄, 산화티탄 또는 질화규소로 형성되어 있는 질화칼륨계 III-V족 화합물 반도체 디바이스.
21. 제19항에 있어서, 상기 보호막이 제1전극의 표면도 덮고 있는 질화칼륨계 III-V족 화합물 반도체 디바이스.
22. 제10항에 있어서, 상기 제2전극과 상기 본딩패드를 덮는 투명하고 절연성이 있는 재료로 형성된 보호막을 가지는 질화칼륨계 III-V족 화합물 반도체 디바이스.
23. 제22항에 있어서, 상기 보호막이 산화규소, 산화알루미늄, 산화티탄 또는 질화규소로 형성되어 있는 질화칼륨계 III-V족 화합물 반도체 디바이스.
24. 제22항에 있어서, 상기 보호막이 제1전극의 표면도 덮고 있는 질화칼륨계 III-V족 화합물 반도체 디바이스.
25. 제1 및 제2주면을 가지는 기판, 및 상기 기판의 주면위에 형성되며, n형 질화칼륨계 III-V족 화합물 반도체층 및 p형 질화칼륨계 III-V족 화합물 반도체층을 포함하는 반도체 적층구조를 포함하는 질화칼륨계 III-V족 화합물 반도체 발광디바이스 구조를 제공하며, 상기 p형 반도체층에 접하여 금속재료의 층을 형성하며, 상기 금속재료층을 어닐링처리하여 상기 금속재료의 층을 투광성으로 합과 동시에 p형 반도체층과의 용접층을 달성하고, 이것에 의하여 상기 제2반도체층과 직접 접속하는 투명한 음전극을 제공하는 것을 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스.
26. 제25항에 있어서, 상기 어닐링을 400°C 이상의 온도에서 행하는 질화칼륨계 III-V족 화합물 반도체 디바이스의 제조방법.
27. 제26항에 있어서, 상기 음전극을 구성하는 상기 금속재료가 금, 니켈, 백금, 알루미늄, 주석, 인듐, 크롬 및 티탄으로 된 군 중에서 선택되는 적어도 1종의 금속을 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스의 제조방법.
28. 제1 및 제2주면을 가지는 기판, 상기 기판의 주면위에 형성되며, n형 질화칼륨계 III-V족 화합물 반도체층 및 p형 질화칼륨계 III-V족 화합물 반도체층을 포함하는 반도체 적층구조, 상기 n형 반도체층에 접하여 형성되며, 티탄 및 알루미늄 또는 금속을 포함하는 제1전극, 및 상기 p형 반도체층에 접하여 형성된 제2전극을 구비한 질화칼륨계 III-V족 화합물 반도체 디바이스.
29. 제28항에 있어서, 제1전극이 상기 n형 반도체층에 직접 접하여 형성된 티탄의 층 및 알루미늄의 층 또는 금의 층으로 된 질화칼륨계 III-V족 화합물 반도체 디바이스.
30. 제28항에 있어서, 상기 제1전극이 상기 n형 반도체층에 직접 접하여 형성된 티탄의 층, 상기 티탄

의 층위에 형성된 알루미늄의 층 및 상기 알루미늄층 위에 형성된 금의 층으로 된 질화칼륨계 III-V족 화합물 반도체 디바이스.

31. 제28항에 있어서, 상기 제1전극이 티탄 및 알루미늄으로 된 금속재료로 형성된 제1막 및 상기 제1막 위에 형성되며, 알루미늄보다도 높은 용점을 가지는 고용점금속재료로 형성된 제2막을 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스.

32. 제31항에 있어서, 상기 제2막이 티탄을 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스.

33. 제31항에 있어서, 상기 제2막이 금과 티탄 및/또는 니켈로 되는 질화칼륨계 III-V족 화합물 반도체 디바이스.

34. 제28항에 있어서, 상기 제1전극이 400°C 이상에서의 어닐링처리되는 질화칼륨계 III-V족 화합물 반도체 디바이스.

35. 제28항에 있어서, 상기 디바이스를 상기 기판의 상기 제2주면으로 지지하는 리드프레임을 더 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스.

36. 제28항에 있어서, 상기 제2전극과 전기적으로 접속된, 본딩 와이어와의 본딩을 위한 본딩패드를 더 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스.

37. 제36항에 있어서, 상기 본딩패드가 상기 제1전극으로부터 가장 먼 위치에 배치되어 있는 질화칼륨계 III-V족 화합물 반도체 디바이스.

38. 제28항에 있어서, 상기 제2전극이 니켈 및 금을 포함하는 금속재료로 형성되어 있는 질화칼륨계 III-V족 화합물 반도체 디바이스.

39. 제1 및 제2주면을 가지는 기판 및 상기 기판의 제1주면위에 형성되며, n형 질화칼륨계 III-V족 화합물 반도체층 및 p형 질화칼륨계 III-V족 화합물 반도체층을 포함하는 반도체 적층구조를 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스구조를 제공하며, 상기 n형 반도체층에 접하여 티탄 및 알루미늄 또는 금을 포함하는 금속재료의 층을 형성하며, 상기 금속재료층을 어닐링처리하여 상기 n형 반도체층과의 용접속을 달성하고, 이것에 의하여 상기 n형 반도체층과 접하는 음전극의 제공하는 것을 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스의 제조방법.

40. 제39항에 있어서, 상기 어닐링을 400°C 이상의 온도에서 행하는 질화칼륨계 III-V족 화합물 반도체 디바이스의 제조방법.

41. 제40항에 있어서, 상기 음전극을 구성하는 상기 금속재료가 상기 n형 반도체층위에 직접 접하여 형성된 티탄의 층 및 그 위에 형성된 알루미늄의 층 및/또는 금의 층을 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스의 제조방법.

42. 제1 및 제2주면을 가지는 기판, 상기 기판의 상기 제1주면위에 형성되며, n형 질화칼륨계 III-V족 화합물 반도체층 및 p형 질화칼륨계 III-V족 화합물 반도체층을 포함하는 반도체 적층구조, 상기 n형 반도체층에 접하여 형성되며, 티탄 및 알루미늄 또는 금을 포함하는 제1음전극, 및 상기 p형 반도체층에 접하여 형성되며, 금속재료를 포함하는 부광성의 제2음전극을 구비한 질화칼륨계 III-V족 화합물 반도체 디바이스.

43. 제42항에 있어서, 상기 제1음전극이 상기 n형 반도체층에 직접 접하여 형성된 티탄의 층, 상기 티탄층 위에 형성된 알루미늄의 층 및 상기 알루미늄층 위에 형성된 금의 층으로 된 질화칼륨계 III-V족 화합물 반도체 디바이스.

44. 제43항에 있어서, 제2전극이 상기 p형 반도체층에 직접 접하여 형성된 니켈의 층 및 상기 니켈층

위에 형성된 금의 층으로 된 질화칼륨계 III-V족 화합물 반도체 디바이스.

45. 제44항에 있어서, 상기 제2전극과 전기적으로 접속된, 본딩 와이어와의 본딩을 위한 본딩패드를 더 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스.

46. 제45항에 있어서, 상기 기판의 제1주면이 사각형이고, 상기 본딩패드가 상기 제2전극의 제1모서리부에 배치되며, 상기 제1전극이 상기 제1모서리부를 포함하는 상기 사각형의 대각선상의 상기 n형 반도체층의 모서리부에 배치되어 있는 질화칼륨계 III-V족 화합물 반도체 디바이스.

47. 제46항에 있어서, 상기 본딩패드가 상기 제2전극과 직접 접하여 형성된 니켈의 층 및 상기 니켈의 층위에 형성된 금의 층으로 되는 질화칼륨계 III-V족 화합물 반도체 디바이스.

48. 제26항에 있어서, 상기 제2전극이 상기 p형 반도체층의 표면의 일부를 노출시키는 절결부를 가지며, 상기 본딩패드가 상기 절결부내에 충전되며, 상기 본딩패드가 상기 p형 반도체층과 직접 접하는 크롬 또는 알루미늄을 포함하는 제1층과, 상기 제2층위에 형성된 금으로 된 층을 구비하는 질화칼륨계 III-V족 화합물 반도체 디바이스.

49. 제48항에 있어서, 상기 디바이스의 실질적으로 전면을 덮는 투명하고 절연성이 있는 보호막을 더 가지는 질화칼륨계 III-V족 화합물 반도체 디바이스.

50. 제49항에 있어서, 상기 디바이스를 상기 기판의 상기 제2주면으로 지지하는 리드프레임을 더 가지는 질화칼륨계 III-V족 화합물 반도체 디바이스.

51. 제50항에 있어서, 상기 디바이스에서 발생하는 광이 상기 기판의 상기 제1주면측에서 관찰되는 질화칼륨계 III-V족 화합물 반도체 디바이스.

52. 기관위에 형성된 질화칼륨계 III-V족 화합물 반도체층 및 상기 반도체층에 접하여 형성되며, 상기 반도체층과의 용접층을 달성하도록 어닐링처리된 금속재료를 포함하는 음전극을 구비한 질화칼륨계 III-V족 화합물 반도체 디바이스.

53. 제52항에 있어서, 상기 반도체층이 n형이며, 상기 금속재료가 티탄 및 알루미늄 또는 금을 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스.

54. 제52항에 있어서, 상기 반도체층이 p형이며 상기 금속재료가 니켈 및 금을 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스.

55. 제54항에 있어서, 상기 금속재료가 상기 반도체층에 직접 접하여 형성된 니켈의 층 및 상기 니켈층위에 형성된 금의 층을 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스.

56. 제52항에 있어서, 상기 반도체층 p형이며, 상기 전극이 투명한 질화칼륨계 III-V족 화합물 반도체 디바이스.

57. 제56항에 있어서, 상기 금속재료가 금, 니켈, 백금, 알루미늄, 주석, 인듐, 크롬 및 티탄으로 된 군 중에서 선택된 적어도 1종의 금속을 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스.

* 참고사항: 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제1도는 본 발명의 제1태양에 따른 발광디바이스를 리드프레임에 부착한 상태에서 나타내는 개략 단면도.

